

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-303653
(43)Date of publication of application : 18.10.2002

(51)Int.Cl. G01R 31/28
H01L 21/3205
H01L 21/66

(21)Application number : 2001-265210 (71)Applicant : HITACHI LTD
HITACHI ULSI SYSTEMS CO
LTD

(22)Date of filing : 03.09.2001 (72)Inventor : AIKI KIYOSHI
HIKONE KAZUFUMI
ADACHI HIROYUKI
OKAMOTO MASAYOSHI
ONOSE MASAO
MIZUNO YUJI

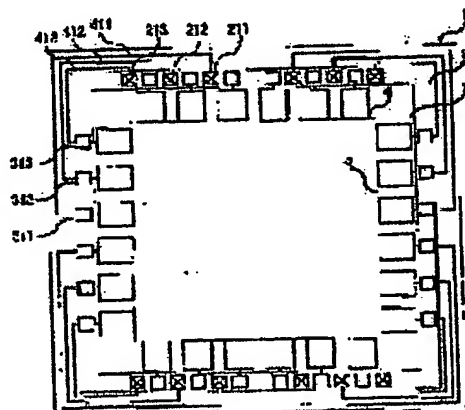
(30)Priority
Priority number : 2001021303 Priority date : 30.01.2001 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that a semiconductor integrated circuit device having inspection pads at four corners are repeatedly moved and are subjected to needle contact one by one every time as far as no special probe cards are used in the conventional probe inspection, and hence it took inspection per one time times the number of inspections (number of circuits) for inspection time per semiconductor wafer, which has been a problem in costs.

SOLUTION: Pads 211, 212, 213, and the like for inspecting probes are arranged at one side or two opposite sides of a circuit 1, and wiring 411, 412, 413, and the like is extended from desired pads 311, 312, 313, and the like for bonding arranged at a side other than one side or two opposite sides in the above where the pad for inspecting probes is arranged for connecting to the corresponding pads 211, 212, 213, and the like for inspecting probes. In



probe inspection, the probe needle is brought into contact with the pads (probe inspection and pad for bonding) that are arranged at one side or the two opposite sides in a circuit to be inspected for inspection.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 특개2002-303653호 사본 1부.

[첨부그림 1]

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-303653
(P2002-303653A)

(43) 公開日 平成14年10月18日 (2002.10.18)

(51) Int. Cl.	識別記号	F I	キーワード (参考)
G 0 1 R 31/28		H 0 1 L 31/68	B 2 G 1 3 2
H 0 1 L 21/3205		G 0 1 R 31/28	K 4 M 1 0 6
21/68		H 0 1 L 21/68	T 5 P 0 3 3

特許権者 発明者 優先権の主張 〇 L (全 18 頁)

(20) 出願番号	特開2001-285210 (P2001-285210)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成13年9月9日 (2001.9.9)	(71) 出願人	000283198 株式会社日立製作所・エス・アイ・システムズ 東京都小平市上水町8丁目22番1号
(31) 優先権主張番号	特開2001-21803 (P2001-21803)	(72) 発明者	鈴木 博 東京都国分寺市東蔵ケ崎一丁目880番地
(32) 優先日	平成13年1月30日 (2001.1.30)	(74) 代理人	株式会社日立製作所中央研究所内 100075086
(33) 優先権主張国	日本 (JP)		弁護士 作田 康夫

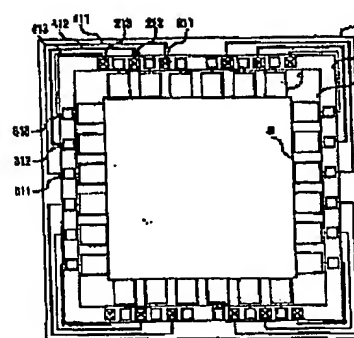
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

【課題】 従来の、プローブ検査において、4辺に検査パッドがある半導体集積回路装置に対しては、特定のプローブを使用しない限り、1周に1個ずつ移動と対応をとを繰り返して検査をしていた。半導体ウエハ1枚当たりの検査時間=1周当たりの検査時間×検査回数(回路数)だけ時間がかかり、コスト上、問題であった。

【解決手段】 プローブ検査用パッド211、212、213、…は回路1の1辺又は対向する2辺上に配置して、該プローブ検査用パッドを配置した上記1辺又は対向する2辺以外の辺上に配置された所定のボンディング用パッド311、312、313、…から接続用配線411、412、413、…を延ばして対応するプローブ

検査用パッド211、212、213、…に接続する。プローブ検査時には、検査対象回路の上記1辺又は対向する2辺に配置されたパッド(プローブ検査及びボンディング用パッド)に対してプローブ針を当て検査する。



18-1

18-1

[첨부그림 2]

【특정請求項의 說明】

【請求項 1】ボンディング用パッドとプローブ検査用パッドとを配置してなる半導体集積回路装置において、上記プローブ検査用パッドは上記回路の1辺又は対向する2辺に配置して、上記プローブ検査用パッドが配置された上記1辺又は対向する2辺以外の辺に配置されたボンディング用パッドから脱脱用の配線を介して上記ボンディング用パッドを対応する上記プローブ検査用パッドに接続してなることを特徴とする半導体集積回路装置。

【請求項 2】請求項 1記載の半導体集積回路装置において、上記プローブ検査用パッドが配置された上記回路の上記1辺又は対向する2辺が同一線上又は互いに並行に配列されるようにして複数の上記回路を半導体ウエハ上に配置形成してなることを特徴とする半導体集積回路装置。

【請求項 3】請求項 1記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記接続用の配線を、上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側、又は上記ボンディング用パッドの内側と上記プローブ検査用パッドの内側に配置形成してなることを特徴とする半導体集積回路装置。

【請求項 4】請求項 1記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記接続用の配線を、互いに等しい配線幅に形成してなることを特徴とする半導体集積回路装置。

【請求項 5】請求項 1記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している上記接続用の配線をスクライプ領域内に配置し、また、上記プローブ検査用パッドを上記ボンディング用パッドと互いに隣接又は千鳥配列関係となるように配置して、プローブ検査後は上記スクライプ領域内で上記回路層が切断された時に、上記プローブ検査用パッドと上記接続用の配線とが上記回路から取り除かれるように形成してなることを特徴とする半導体集積回路装置。

【請求項 6】請求項 1記載の半導体集積回路装置において、上記プローブ検査用パッドとそれに対応する上記ボンディング用パッドとの間を接続している複数の上記接続用の配線を単一の配線層又は複数の配線層内に形成して、上記複数の接続用の配線層にGND線を、又は上記複数の配線層間にGND線を挿入配置してなることを特徴とする半導体集積回路装置。

【請求項 7】請求項 1記載の半導体集積回路装置において、上記プローブ検査用パッドの近傍に静電放電防止用の素子を接続配置してなることを特徴とする半導体集積回路装置。

【請求項 8】4辺にリードが配置されるパッケージであって、

パッドが対向する2辺に配置された半導体集積回路装置と、

上記半導体集積回路装置を保持するためのタブとを有し、

上記半導体集積回路装置の2辺に配置されたパッドの各々は、上記パッケージの4辺に配置されたリードの各々に接続されたパッケージ。

【請求項 9】請求項 8記載のパッケージにおいて、上記パッケージの第1辺に配置される第1アウタリードと、第1辺に交差する第2辺に配置される第2アウタリードとを有し、

上記第1アウタリードに対応する第1インナーリードは上記第1辺に向けて屈曲して上記第1インナーリードの先端と上記第2アウタリードの対向する第2インナーリードの先端とは千鳥状に配置されたパッケージ。

【請求項 10】請求項 9記載のパッケージにおいて、上記半導体集積回路装置のパッドは千鳥状に配置され、上記半導体集積回路装置のパッドと上記インナーリードの先端とを接続するボンディングワイヤの各々の長さがほぼ等しくされたパッケージ。

【請求項 11】請求項 9記載のパッケージにおいて、上記パッケージの辺の延長と上記半導体集積回路装置との辺の延長とが所定の角度で交わるように配置するパッケージ。

【請求項 12】請求項 11記載のパッケージにおいて、上記所定の角度は約45度であるパッケージ。

【0001】

【発明の背景と技術的課題】本発明は、半導体ウエハ上に形成された半導体集積回路装置に関する。特に、プローブ検査におけるテスト時間の短縮を達成する半導体集積回路装置の製造方法、及び検査方法に関する。

【0002】

【従来の技術】半導体集積回路装置の製造工程は、半導体ウエハに基盤層上に半導体集積回路装置を形成させる前工程と、半導体ウエハを切断分離（ダイシング）してパッケージングする後工程とに大別される。その前工程の最終段階においては、半導体ウエハ上の半導体集積回路装置について個別に品質検査を行うために、プローブ検査と呼ばれる電気的検査が行われる。

【0003】図1(a)～図2(c)により従来の技術例を説明する。

【0004】図1(a)に、半導体ウエハ上の半導体集積回路装置の形成を示す。一般に半導体集積回路装置は四角形状であり、1枚の半導体ウエハ10上に約数千個の半導体集積回路装置1が格納目標に配置される。

【0005】上述のプローブ検査においては、10テストと半導体集積回路装置とを電気的に接続する必要がある。一般的にはプローブカードに取り付けられたプローブ針（カンチレバー方式のタングステン針など）を半

[첨부그림 3]

晶体管回路装置のパッド9に逐次的に接触(計出で)させる手法が用いられている。プローブカードに取り付けられたプローブ針8を半導体集積回路装置1に対して1回に1個ずつ計出でして検査後移動する手段を均整平面を繰り返すことで1枚の半導体ウエハについてのプローブ検査が完了する。

【0008】図17にボンディングパッドに対するプローブ針の計出での状態を、図18にワイヤボンディングの様子を示す。図17に示す半導体集積回路装置1は、その中央部分に内部回路領域、その外周に入出力パッド領域、さらにその外周にパッド領域を有する。【0009】入出力パッド領域3には入出力パッド4が配置され、パッド領域2にはボンディング用パッド(図中、口印で表記、4辺に6個ずつある)9が配置されている。

【0010】図17に示すように、半導体集積回路装置1のボンディングパッド9が4辺の外周に沿ってある場合には、プローブ検査時のプローブ針8もチップの外周を取り囲むように4辺から配置される構造のプローブカードとなる。

【0011】同様に、図18に示すように、半導体集積回路装置1のボンディングパッド9が4辺の外周に沿ってある場合には、パッケージのリードフレームも4辺外周に配置され、ボンディングパッド9とインナーリード7がボンディングワイヤ8によって1対1で接続される。つまり、ボンディングパッド9が4辺に存在するので、それらとインナーリード7とをボンディング接続すればよいのである。

【0012】このワイヤボンディングの具体的な一例が、上述したボンディングパッド9とインナーリード7とをボンディングワイヤ8で接続するものである。

【0013】このように、従来は、半導体集積回路装置のボンディング用パッドをそのままプローブ検査のためにも使用するため、半導体集積回路装置の4辺外周のパッドに対して計出ですることが多かった。

【0014】図19aと図20cに、プローブ検査時のプローブカードとプローブ針との計出での一例を示す。

【0015】図19aの(a)は、半導体集積回路装置1の4辺外周にパッドがあって、回路1個ずつを検査する場合のプローブカード19aを示し、プローブ針8が各回路の4辺外周にある一箇所に接触する。

【0016】図19aの(b)は、半導体集積回路装置1の4辺外周にパッドがあって、回路2個ずつを同時検査する場合の特殊な形状のプローブカード19bを示す。本例では、プローブ針8を各回路の4辺外周に配置するために一部の辺のプローブ針8を斜め配置した特殊な形状となるため、製作が困難であり、且つ高価なものとなっていた。

【0017】図20aの(a)は、半導体集積回路装置1の対向する2辺の外周にパッドがあって、回路4個ずつ

を検査する場合のプローブカード20aで、プローブ針8が2列にある形状である。

【0018】図20aの(b)は、半導体集積回路装置1の対向する2辺の外周にパッドがあって、回路8個(4個×2段)ずつを同時検査する場合のプローブカード20bであり、プローブ針8が4列にある形状である。

【0019】図20aの(c)は、半導体集積回路装置1の1辺の外周にパッドがあって、回路16個(4個×4段)ずつを検査する場合のプローブカード20cであり、プローブ針8が4列にある形状である。

【0020】図20aの(b)並びに(c)では、プローブ針8が4列に配置されているものの、これらプローブ針8が斜めになる特殊な配置を必要としないため、プローブカードの製作は比較的容易な形状である。

【0021】上述したように、半導体集積回路装置の同時複数回路検査の場合にも、プローブカードの製作が容易かつ安価であることが要である。そのためには、半導体集積回路装置のパッドは、各回路の4辺外周ではなく、1辺または対向する2辺の外周にあることが望ましい。

【0022】なお、プローブ検査時のためのパッドの2辺配置化の従来例としては、例えば特開平4-13333号公報に記載のものを知ることができる。

【0023】

【発明が解決しようとする課題】上述したように、従来は、半導体集積回路装置のプローブ検査において、4辺に検査用パッドがある回路構成の場合には、特殊な形状のプローブカードを必要としない限り、1回に1個ずつの回路を順番に検査していく必要があり、その都度ウエハ移動と計出で操作とを繰り返してやる必要があった。そのために、1枚の半導体ウエハ上の全ての半導体集積回路装置を検査するためには、半導体ウエハ1枚当たりの検査時間=1回当たりの半導体集積回路装置の検査時間×検査回数だけ、時間がかかってしまうという問題があった。そのため、特に安価な半導体集積回路装置の検査においては、このプローブ検査にかかる時間が直接コストに影響するの懸念で大きな問題となっていた。

【0024】本発明は、上記の問題点に鑑みてなされたものであり、その目的とするところは、1枚の半導体ウエハ上の同時複数回路単位でのプローブ検査を容易化して、プローブ検査にかかるコストを軽減させることができるように改良された半導体集積回路装置を提供することである。

【0025】

【課題を解決するための手段】上記目的を達成するために、本発明においては、以下に示すような改良された回路構成を有する半導体集積回路装置が提供される。

【0026】すなわち、上記目的である1枚の半導体ウエハ上での同時複数回路単位での回路のプローブ検査を容

[図 4]

具化するために、本発明においては、ボンディング用パッドとプローブ検査用パッドとを配置してなる半導体集積回路装置において、上記プローブ検査用パッドを上記回路の周辺4辺のうち1辺又は対向する2辺に配置して、当該プローブ検査用パッドが配置された上記1辺又は対向する2辺以外の辺に配置された所望の上記ボンディング用パッドからパッド間接続用の配線を介して、上記ボンディング用パッドをそれぞれに対応する上記プローブ検査用パッドに接続してなる半導体集積回路装置が提供される。

【0025】なお、上記回路の半導体集積回路装置において、上記プローブ検査用パッドが配置された上記回路の上記1辺又は対向する2辺が同一線上に又は互いに並行に配列されるようにして、複数の上記回路を半導体チップ上に配置形成してなるのが、より望ましい。

【0026】また、上記回路の半導体集積回路装置において、上記プローブ検査用パッドとそれぞれに対応する上記ボンディング用パッドとの間を接続している上記パッド間接続用の配線を、上記ボンディング用パッドの外側と上記プローブ検査用パッドの外側、又は上記ボンディング用パッドの内側と上記プローブ検査用パッドの内側に配置形成してなるのが、さらに望ましい。

【0027】また、上記回路の半導体集積回路装置において、上記プローブ検査用パッドとそれぞれに対応する上記ボンディング用パッドとの間を接続している複数の上記パッド間接続用の配線を互いに等しい配線長に形成してなるのが、さらに望ましい。

【0028】また、上記回路の半導体集積回路装置において、上記プローブ検査用パッドとそれぞれに対応する上記ボンディング用パッドとの間を接続している上記パッド間接続用の配線をスクライプ領域内に配置し、また上記プローブ検査用パッドを上記ボンディング用パッドと互いに隣接又は互いに等しい間隔となるように配置して、プローブ検査終了後に上記のスクライプ領域内で上記回路が切断された時に、上記プローブ検査用パッドと上記パッド間接続用の配線とが上記回路から取り除かれるように形成してなるのが、さらに望ましい。

【0029】また、上記回路の半導体集積回路装置において、上記プローブ検査用パッドとそれぞれに対応する上記ボンディング用パッドとの間を接続している複数の上記パッド間接続用の配線を単一の配線層又は複数の配線層内に形成して、上記複数のパッド間接続用の配線層にGND線を、又は上記複数の配線層間にGND線層を挿入配置してなるのが、さらに望ましい。

【0030】さらには、上記回路の半導体集積回路装置において、上記プローブ検査用パッドの近傍に静電放電防止用の素子を接続配置してなるのが、さらに望ましい。

【0031】なお、上記した本発明の待望的回路構成を適用することにより得られる効果については、後述詳しく説明する。

【0032】また、本発明の上記以外の目的、特徴並びにそれにより得られる作用・効果については、以下の実施例を挙げての具体的な説明の中で逐次明らかにされる。

【0033】

【発明の実施の形態】以下、本発明の実施の形態につき、実施例を挙げ、図面を参照しながら詳細に説明する。

【0034】（実施例1）まず、プローブ検査用パッドを半導体集積回路装置の対向する2辺に配置した場合の一例について、図1～図4を用いて説明する。図1に、本実施例1におけるプローブ検査用パッドとその配線との様子を示し、図2に、その時のプローブ検査におけるプローブ針の針当ての様子を示す。

【0035】図1に示す半導体集積回路装置1は、中央部分に内部回路領域2、その外周に出入力パッド領域3、さらにその外周にパッド領域4がある。出入力パッド領域3には、出入力パッド4が配置され、パッド領域4には、ボンディング用パッド（図中、□印で表記、4辺にそれぞれ6個ずつある）311、312、313、……とプローブ検査用パッド（図中、□印で記入して表記、上下の2辺にそれぞれ6個ずつある）211、212、213、……とが配置され、何枚にも、上記のプローブ検査用パッドが対向する2辺（図中、上側と下側との2辺）に配置されたものである。そして、上下対向する2辺に配置されたプローブ検査用パッドは、それ以外の2辺（図中、左、右の2辺）に配置された対向するボンディング用パッドと、パッド領域2よりもさらに外周の領域内にて、接続配線により接続されている。この接続配線の具体的な一例としては、ボンディング用パッド311とプローブ検査用パッド211とを配線411で、ボンディング用パッド312とプローブ検査用パッド212とを配線412で、ボンディング用パッド313とプローブ検査用パッド213とを配線413で（以下、同様）接続したものである。

【0036】かかる構成によって、上下の2辺に配置されたプローブ検査用パッド211、212、213、……に検査用のプローブ針を当てて検査すれば、左右の2辺に配置されたボンディング用パッド311～313に直接プローブ針を当てて検査したのと等価となる。つまり、従来のように上下左右の4辺に存在する24個のボンディング用パッドを用いたプローブ検査と、本実施例のように上下の2辺に存在する24個のパッド（12個のボンディング用パッドと12個のプローブ検査用パッド）を用いたプローブ検査とが、互いに等価なものとなる。

【0037】なお、図1に示した配線411、412、413、……は、上記のように回路の最外周部に設けられるべく配置されるのではなく、出入力パッド領域3

[첨부그림 5]

3,並びに内部回路構成などの内部に設けられていても構わない。それらの具体例については、後述の図6, 図9等を用いて実施例の説明の中で述べる。また、ボンディング用パッドとプローブ検査用パッドの寸法は基本的に同じ大きさでよいが、プローブ検査用パッドは実際にボンディングされないパッドなので、最小幅プローブ針が当てられる幅まで小さくしても構わない。

【0038】図2に、本実施例の回路構成におけるプローブ検査時の上下2辺に設けられたパッド（ボンディング用パッド及びプローブ検査用パッド）への針当ての様子を示す。上述したように、図中上下の2辺に配置されたパッドに対してプローブ針を針当てすることで既述のプローブ検査ができる。つまり、半導体集積回路装置1の図中上1の2辺にあるパッド群（図では、上下各12本ずつの2群）に対し合計24本のプローブ針8を当てればよいのである。

【0039】図3に、本実施例の回路構成において同時複数単位での回路のプローブ検査を行う場合の半導体ウエハ上での様子を示す。

【0040】半導体ウエハ10上には、パッド位置が一直線上に並びように半導体集積回路装置1が複数回りに形成されている。それぞれの半導体集積回路装置1においては、その2辺にパッドがあるため、図3に示すように、プローブ検査用パッドを横一列（一直線上）に配列することが可能である。そして、総数192本（12本×4列×4個）のプローブ針8によって、一度に8個（4個×2群）の半導体集積回路装置1の同時複数単位での検査を行うことができる。この場合、8個の回路を同時に検査するため、1/8の時間で1枚の半導体ウエハ10の検査を完了できる。

【0041】図4に、本実施例の回路構成においてのワイヤボンディングの様子を示す。図4は、ボンディング用パッドとパッケージのインナーリードとが、半導体集積回路装置1の4辺において、それぞれ1対1でボンディング接続される構成を示している。つまり、ボンディング用パッドは、元々4辺に存在するので、それらとインナーリードとを互いにボンディング接続すればよいのである。

【0042】このワイヤボンディングの具体的な一例として、図4に示すように、ボンディング用パッド311とインナーリード711とをボンディングワイヤ611で、ボンディング用パッド312とインナーリード712とをボンディングワイヤ612で、ボンディング用パッド313とインナーリード713とをボンディングワイヤ613で、ボンディング用パッド314とインナーリード714とをボンディングワイヤ614で、ボンディング用パッド315とインナーリード715とをボンディングワイヤ615で、ボンディング用パッド316とインナーリード716とをボンディングワイヤ616で、（以下、同様）それぞれ接続する。なお、プローブ

検査用パッド311～316にはワイヤボンディングをしない。

【0043】以上に記載のように、本実施例においては、プローブ検査用パッドを対向する2辺に追加配置して、それ以外の辺のボンディング用パッドから接続配線を延ばして対応するパッド間を接続したことにより、上記の対向する2辺のみへのプローブ針の針当てによって、所定のプローブ検査が可能となる。このため、プローブカードを容易かつ安価に製作でき、同時複数単位での検査も可能となり、プローブ検査が1/8の時間で済むようになった。さらには、従来のように、各個々の4辺においてのワイヤボンディングが可能であるため、パッケージング等の後工程には何らの支障をも与えない。

【0044】次に、本実施例において各回路の左右2辺に設けられたボンディング用パッドと各回路の上下2辺に設けられた対応するプローブ検査用パッドとの間の配線の接続例について、図5～図8を用いて説明する。

【0045】なお、これら図5～図8に示す配線形態は、後述する第2の実施例（実施例2）においてプローブ検査用パッドを各回路の上側1辺のみに配置した場合（図9～図11）についても組み合わせて適用できるものであり、本発明はそのような組み合わせ適用例をも含むものであることは言うまでもない。

【0046】まず、本実施例における等長配線の一構成例を示す。図5に、ボンディング用パッドとプローブ検査用パッド間を等しい長さの配線で接続する場合の具体的な一例を示す。図5の具体例では、ボンディング用パッド313とプローブ検査用パッド211間を配線451で、ボンディング用パッド312とプローブ検査用パッド212間を配線452で、ボンディング用パッド311とプローブ検査用パッド213間を配線453で、それぞれ等しい長さで接続している。

【0047】図5に示すような等長配線構造とすることにより、各配線回路での電氣的な特性バラツキ（例えば、配線容量、配線抵抗等）を小さくできる効果がある。

【0048】次に、ボンディング用パッドとプローブ検査用パッド間を接続する配線をスクライプ領域内に設けた一例を示す。

【0049】図6は、ボンディング用パッドとプローブ検査用パッドとの間を接続する配線をスクライプ領域11x、11y内に設けた場合を示している。すなわち、ボンディング用パッドとプローブ検査用パッドとは双方とも半導体集積回路装置1内に設けられているが、その間の接続配線のみがスクライプ領域11x、11y内に配置されている場合である。図6に示す具体的では、ボンディング用パッド311とプローブ検査用パッド211間を配線461で、ボンディング用パッド312とプローブ検査用パッド212間を配線462で、ボンディング用パッド313とプローブ検査用パッド213間

[첨부그림 6]

를 연결 463에서それぞれ接続している。

【0050】本実施例によれば、フローブ検査が終了した後は、スクライプ領域11x、11yにおいて各半導体集積回路装置1個を切断することにより、フローブ検査用パッドとボンディング用パッド間を接続していた配線を半導体集積回路装置1から取り除くことができる。

【0051】次に、ボンディング用パッドとフローブ検査用パッドとの間を接続する配線をスクライプ領域内に設けた場合の他の一構成例と、当該構成例とした場合におけるフローブ検査に際してのフローブ針の針当ての様子について説明する。

【0052】図7に、上下2辺に配置されたフローブ検査用パッドとそれらのフローブ検査用パッドと左右2辺に配置されたボンディング用パッドとの間を接続する配線との双方をスクライプ領域内に配置した場合を示す。なお、図では、フローブ検査用パッドがボンディング用パッドと上下で接しないようにするために、フローブ検査用パッドをボンディング用パッドに対して干渉状態となるように設けてある。パッド間の配線の具体的な一例としては、ボンディング用パッド311とフローブ検査用パッド211間を接続471で、ボンディング用パッド312とフローブ検査用パッド212間を接続472で、ボンディング用パッド313とフローブ検査用パッド213間を接続473で、それぞれ接続している。

【0053】上述のように、フローブ検査用パッドとボンディング用パッドとを互いに干渉状態に配置しているため、フローブ針8がお互いに衝突し合うことなく、容易に針当て操作を行える。その様子を図9に示す。

【0054】以上のような構成によれば、フローブ検査が終了した後に、スクライプ領域において各半導体集積回路装置1個を切り離した際、フローブ検査用パッドと当該フローブ検査用パッドを対応するボンディング用パッドに接続するための配線を半導体集積回路装置1から取り除くことができる。

【0055】(実施例2) 次に、フローブ検査用パッドを半導体集積回路装置1の1辺に配置した場合の一実施例について、図9~図11を用いて説明する。

【0056】図9に、本実施例における、フローブ検査用パッドを1辺化した場合のパッド間配線の様子を示す。

【0057】図9に示す半導体集積回路装置1においては、パッド領域2内に、ボンディング用パッド(図中、口印で表記、右辺に5個ずつある)とフローブ検査用パッド(図中、口印中に×印を挿入して表記、上辺のみに6個ある)とが配置されている。特徴的な点は、フローブ検査用パッドが図9の1辺(図中、上辺の辺)のみに配置されている点であり、フローブ検査時には、この図9の上辺側に配置された合計12個のパッド(ボンディン

グ用パッド6個とフローブ検査用パッド6個)に合計12本の検査用フローブ針をそれぞれ針当てして検査がなされる。また、図9上側の1辺に配置されたフローブ検査用パッドとそれ以外の辺に配置されたボンディング用パッドとの間の配線は、パッド領域2の外側のみならず、入出力バッファ領域3、内部配線領域5などの内側をも理由して設けられている。図9には、このパッド間配線の具体的な一例として、ボンディング用パッド312とフローブ検査用パッド212間を接続492で、ボンディング用パッド313とフローブ検査用パッド211間を接続491で、ボンディング用パッド324とフローブ検査用パッド213間を接続493で、パッド領域2の外側の領域内でそれぞれ接続し、ボンディング用パッド325とフローブ検査用パッド225間を接続495でもって、パッド領域2の内側の領域を経由して接続した場合を示してある。かかる構成によって、図9の上側1辺上に配置されたフローブ検査用パッド212、211、210、225、…に検査用のフローブ針を当てて検査すれば、図9の他の3辺上に配置されたボンディング用パッド312、313、324、325、…に直接フローブ針を当てて検査したことに等価となる。

【0058】図10に、本実施例の図9構成において、図9上側1辺上に配置された12個のパッド(ボンディング用パッド6個とフローブ検査用パッド6個)に12本の検査用フローブ針を針当てして検査する場合の様子を示す。

【0059】このように、半導体集積回路装置1の1辺(図中の上辺)に12本のフローブ針8を針当てすることにより、所要のフローブ検査ができる。前述したように、6本のフローブ針がボンディング用パッドに、残り6本のフローブ針がフローブ検査用パッドにそれぞれ針当てされる。

【0060】上述のように、本実施例の図9構成によれば、半導体集積回路装置1の図9の上辺にあるパッド群にフローブ針8を当てることによって、当該半導体集積回路装置1のフローブ検査が可能である。

【0061】図11に、本実施例の図9構成におけるフローブ検査時の半導体ウエハ上での同時検査個数位での図9のフローブ検査時の様子を示す。

【0062】半導体ウエハ10上には、パッド位置が一直線上に並ぶように半導体集積回路装置1が形成されている。この半導体集積回路装置1においては、図9の1辺測にのみフローブ検査用パッドがあるため、図11に示すように、フローブ針8を横一列(一直線上)に4段で配列することが可能である。そして、総数192本(12本×4列×4段)のフローブ針8により、一度に15個(4個×4段)の半導体集積回路装置1の同時検査個数位での検査を行うことができる。従って、この場合には、15個の図9を同時検査するため、従来の1/16の時間で、1枚の半導体ウエハ10上の全ての図

[첨부그림 7]

露のフロー検査を完了できる。

【0060】次に、本実施例において各回路の左右2辺と下側1辺とに設けられたボンディング用パッドと各回路の上側1辺に設けられた対応するフロー検査用パッドとの間の配線の形態例について、図12～図15を用いて説明する。

【0064】なお、これら図12～図15に示す配線形態例は、前述の第1の実施例(実施例1)におけるフロー検査用パッドと各回路の上下2辺に配置した場合(図1～図4)についても組み合わせて適用できるものであり、本発明はそのような組み合わせ適用例をも含むものであることは言うまでもない。

【0065】まず、図12に、本実施例の回路構成において、フロー検査用パッドとそれに対応するフロー検査用パッドとの間を接続する配線(信号線)をスクライプ領域に配置する場合のフォトリソマスクとTEGとの様子を示す。一般に、半導体ウエハ上には、半導体集積回路素子の品質評価等を目的にTEGと云うモニタ用素子12が使用されている。図12では、各半導体集積回路素子のスクライプ領域11x、11y内にこのTEG12が配置されている。

【0066】上述したように、ボンディング用パッドとフロー検査用パッド間を接続する配線がスクライプ領域にある場合には、このTEGの設置領域を考慮しなければならぬが、TEGが上層の配線層に置けないゲート素子のような場合は、そのTEGの上層に配線をしてもレイアウト的に衝突回避できるので問題はない。

【0067】また、フォトリソマスク13においては、半導体集積回路素子1とスクライプ領域11x、11y内に配置した配線とTEG12とを、例えば図12に示すようにフォトリソマスク13の単位で一組又は複数組にすることで、製造効率を高めることができる。

【0068】次に、図13、図14に、本実施例の回路構成を基に、ボンディング用パッドからフロー検査用パッドまで延びた配線(信号線)間にGND線、または配線(信号線)層間にGND層を挿入配置した例を示す。

【0069】図13は配線部分の上面図で、各配線(信号線)411、412、413間に配線(GND線)411e、412e、413eが挿入配置されている。かかる構成により、配線(信号線)間で起こり得る障害(例えば、クロストーク等)を防止することができる。

【0070】図14は配線部分の断面図で、配線層が3層ある場合の配線例である。図14の(a)は配線(信号線)間に配線(GND線)が挿入配置される場合、図14の(b)は配線(信号線)間に配線(GND線)が挿入配置されかつ配線層間に交互にずれている場合、図14の(c)は配線(信号線)層間にGND層が挿入配置される場合、図14の(d)は配線(信号線)層の上、下にGND層が挿入配置される場合を示している。

かかる構成により、図13の場合と同様に、配線(信号線)間で起こり得る障害(例えば、クロストーク等)を防止できる効果が見られる。

【0071】次に、図15に、本実施例の回路構成において、フロー検査用パッドの近傍に静電破壊防止素子を挿入配置した例を示す。なお、本図では、入力バッファ4の一例として、入力素子のみを表記してある。

【0072】半導体集積回路装置1中の入力バッファ4は、入力素子40と静電破壊防止素子4aとで構成されている。静電破壊防止素子4aは、静電気等による高電圧が入力素子40に印可されて配線素子が破壊されるのを防止するために、電圧又はGNDにバイパスする素子であり、例えばダイオード等が用いられる。

【0073】入力バッファ4は、ボンディング用パッド300に接続され、さらにボンディングワイヤ6を介してパッケージのインナーリード7に接続されている。また、ボンディング用パッド300は配線400を介してフロー検査用パッド200に接続されている。本例では、静電気等による高電圧の影響を避けるため、フロー検査用パッド200の近傍にも静電破壊防止素子4bが配置されている。

(実施例2) 第2の実施例の形態は、同時に複数組の露のフロー検査を容易化するために、半導体集積回路装置の対応する2辺にボンディング用パッドを配置する。この場合は、第1または第2の実施例の形態と異なり、フロー検査用パッドを設ける必要はなくなる。しかしながら、パッドにあわせてパッケージのリードを2辺に配置するとパッケージ全体の大きさはかえって大きくなるおそれがある。また、4辺にリードが配置されるパッケージとの互換性が失われる。そのため、そのパッドが2辺に配置される半導体集積回路装置であっても、4辺にリードが配置されるパッケージ(例えば、QFP(Quad Flat Package)、TQFP(Thin Quad Flat Package)、QFN(Quad Flat High Package)等)への実装を可能とすることが望ましい。本実施例においては、4辺にリードが配置される形状のパッケージに対しても、2辺にボンディング用パッドが配置された半導体集積回路装置の実装を可能とするための、ボンディング用パッドとインナーリードとの間の接続方法を詳述する。

【0074】現在の技術で実装可能な隣接するインナーリード間の最短距離をx、現在の技術で実装可能な隣接するボンディング用パッド間の最短距離をyとすれば、 $x > y$ の関係にある。例えば、yはボンダーの位置合わせ精度等により制約されるが約80μmまで小さくすることが可能であるのに対し、xはリードフレームの加工精度等により制約され、約180μmである。そのため、従来ではボンディング用パッドの露面をインナーリードの露面に合わせていた。このため、ボンディング用パッドの露面及びピン露面がパッケージ及びチップの大きさを決定し、半導体集積回路の微細化技術によるチップ

[첨부그림 8]

리즈의微小を抑制するおそれもあった。

【0075】 次、半導体集積回路装置のパッケージ裏面の第1の構成例を図21～図23に示す。

【0076】 パッケージ1100は、半導体集積回路装置1200、その半導体集積回路装置1200を支えるためのタブ1540、そのタブ1540を支えるためのタブ昇リード1530、タブ1540と半導体集積回路装置1200を電気的に接続するための接続体1300と、パッケージの外側に複数配置されるアウトリード1510、1511、パッケージの内側に複数配置されるインナーリード1520、1521、そのインナーリードと半導体集積回路装置上のボンディング用パッドをそれぞれ接続するためのボンディングワイヤ1400から構成される(図22には、半導体集積回路装置1200、接続体1300、ボンディングワイヤ1400を除いた状態を示す)。

【0077】 半導体集積回路装置1200は、対向する2辺(図では左右の2辺)にボンディング用パッドが設けられ、残りの2辺(図では上下の2辺)には設けられていない。また、パッケージ1100は4辺にリードが配置される一般にQFPと呼ばれるパッケージである。一般に、半導体集積回路装置の2辺にボンディング用パッドがありパッケージのリードが4辺に有る場合は、それらを接続するボンディングワイヤ同士が接触してしまう危険性がある。

【0078】 そのため、本実施例においては、パッケージ1100の上下の辺のアウトリードから延びたインナーリードはパッケージ中央部の半導体集積回路装置1200の下側に90度(図では45度が2箇所)方向を変えて左右から出たリードフレーム構造としたものである。それにより、例えば、パッケージ1100の右辺のアウトリード1511から延びたインナーリード1521は半導体集積回路装置1200の右辺にあるボンディング用パッドと、パッケージ1100の下辺のアウトリード1510から延びて90度右に方向を変えたインナーリード1520は半導体集積回路装置1200の同じく右辺にあるボンディング用パッドとをそれぞれボンディングすることが可能となるのである。

【0079】 さらに、本実施例では、インナーリード1520の端部とインナーリード1521の端部を互いに向かい合わせて微小間隔とした。上述のように、インナーリードの微小間隔よりもボンディング用パッドの微小間隔が狭いため、千鳥状に配置することによってインナーリードの間隔を約半分にすることを可能としたものである。

【0080】 また、複数のインナーリードは、半導体集積回路装置1200の下側に位置することから、従来には半導体集積回路装置1200を支えるタブとしての役割をも担っている。電氣的には接続体1300によって完全に接続されている。

【0081】 なお、図21の例ではインナーリードが千鳥状に配置されるのにあわせて、半導体集積回路のボンディング用パッドも千鳥状に配置している。これによって、各ボンディングワイヤ1400をほぼ等長にできるという利点がある。

【0082】 図23に、リードフレームの他の構成例を示す。パッケージ1100の下辺からのアウトリード1510から延びたインナーリード1520は中央部まで引き延ばしてから90度方向を変えて相違にしたものである。これにより、インナーリード1520は斜めにはタブの傾斜をもつ。また、電氣的には、図21の構成と同様に半導体集積回路装置との間に絶縁体を挟むことによって半導体集積回路装置と完全に接続されるものである。

【0083】 上述のように、本実施例の形態に示すリードフレームは、4辺にリードが存在するパッケージに対して、対向する2辺にボンディング用パッドを配置した半導体集積回路装置を実装することを可能としたものである。

【0084】 さらに、半導体集積回路装置は対向する2辺にのみボンディング用パッドを配置したことによって、残りの2辺にはボンディング用パッドが存在しなくなるため、1/0パッファも配置することが無い。従って、その1/0パッファの領域分の面積が図るため半導体集積回路装置を小型化する効果がある。

【0085】 次に、半導体集積回路装置のパッケージ裏面の第2の構成例を図24～図25に示す。

【0086】 パッケージ1102は、半導体集積回路装置1202、その半導体集積回路装置1202を支えるためのタブ1542、そのタブ1542を支えるためのタブ昇リード1532、タブ1542と半導体集積回路装置1202を電気的に接続するための接続体1302と、パッケージの外側に複数配置されるアウトリード1514、1515、パッケージの内側に複数配置されるインナーリード1524、1525、そのインナーリードと半導体集積回路装置上のボンディング用パッドをそれぞれ接続するためのボンディングワイヤ1402から構成されている(図25には、半導体集積回路装置1202、接続体1302、ボンディングワイヤ1402を除いた状態を示す)。

【0087】 第2の構成例においては、パッケージ1102に対して半導体集積回路装置1202を45度傾けて実装する構造としたものである。半導体集積回路装置1202は、対向する2辺(図では左斜め上、右斜め下の2辺)にのみボンディング用パッドが存在し、残りの2辺(図では右斜め上、左斜め下の2辺)には無い。これにより、リードフレームは図に示すような簡単な構造にすることが可能となり、半導体集積回路装置のボンディング用パッドとボンディングワイヤで繋ぐことができるのである。

[첨부 그림 9]

【0000】具体的には、パッケージ1102の右辺のアウターリード1514から延びたインナーリード1524と半導体集積回路装置1203の右斜めの辺のボンディング用パッドとを結ぶボンディングワイヤ、及びパッケージ1102の右辺のアウターリード1515から延びたインナーリード1525と半導体集積回路装置1203の右斜めの辺のボンディング用パッドとを結ぶボンディングワイヤが接触することなく配線可能としている。ボンディングワイヤの接触を防止するためには、半導体集積回路装置のボンディング用パッドを千島状に配置することが望ましい。

【0008】また、図では45度に傾けた例を示したが、パッケージの辺の延長と半導体集積回路装置の辺とが有意な角度で交わるように配置すればよく、この有意な角度は45度には限られない。

【0009】次に、半導体集積回路装置のパッケージ実装の層3の構成を図25〜図26に示す。

【0011】パッケージ1103は、半導体集積回路装置1203、その半導体集積回路装置1203を包み込むためのタブ1543、そのタブ1543を包み込むためのタブリード1553、タブ1543と半導体集積回路装置1203を電気的に接続するための絶縁体1303と、パッケージの外側に配置されるアウターリード1516、1517、1518、パッケージの内側に配置されるインナーリード1526、1527、1528、そのインナーリードと半導体集積回路装置上のボンディング用パッドとをそれぞれ接続するためのボンディングワイヤ1403から構成されている(図26には、半導体集積回路装置1203、絶縁体1303、ボンディングワイヤ1403を除いた状態を示す)。

【0012】半導体集積回路装置1203は、ボンディング用パッドを配置した2辺を他の2辺よりも長い長方形としたものである。半導体集積回路装置1203は、対向する2辺(図では左右の2辺)にボンディング用パッドを設け、残りの2辺(図では上下の2辺)には設けない。また、左右の2辺では、中央部はボンディング用パッドが1列で、上端側、及び下端側では2列の千島状に配置したものである。

【0013】具体的には、パッケージ1103の右側のアウターリード1516から延びたインナーリード1526と半導体集積回路装置1203の右辺中央部のボンディング用パッドと、パッケージ1103の下側のアウターリード1517から延びたインナーリード1527と半導体集積回路装置1203の右辺の下端のボンディング用パッドと、さらにはパッケージ1103の下側のアウターリード1518から延びて90度右に方向を変えたインナーリード1528は半導体集積回路装置1203の右辺の下端にあるボンディング用パッドとをそれぞれボンディングされている。

【0014】以上の実施形態に示したリードフレーム

によれば、対向する2辺にボンディング用パッドを配置した半導体集積回路装置は、4辺にリードが配置される一般にQFPと呼ばれる形状のパッケージに実装可能である。つまり、従来のように半導体集積回路装置の4辺にボンディング用パッドを配置する必要はない。従って、半導体集積回路装置の2辺にボンディング用パッドを配置することによって、フロープ検査を容易化できるという効果がある。

【0015】

【発明の効果】本発明によれば、ボンディング用パッドとフロープ検査用パッドとを配置した半導体集積回路装置において、フロープ検査用パッドは回路の1辺又は対向する2辺に配置して、このフロープ検査用パッドを配置した上記の1辺又は2辺以外の辺の所望のボンディング用パッドから接続用の配線を延長して、該ボンディング用パッドを上記フロープ検査用パッドに接続した構成によって、フロープ検査に際してフロープ針を当てるべき位置を上記回路の上記1辺又は対向する2辺に決着でき、また、上記の1辺又は対向する2辺が同一線上または並行になる配置で半導体ウエハ上に配列したため、同一のフロープカード上に複数の半導体集積回路装置にフロープ針を当てるための構造を容易に形成できるので、同時複数個単位での回路のフロープ検査が容易に実現できる。

【0016】回路の2辺で検査する場合、例えば、同時検査回路数が8個の時には、半導体ウエハ1枚当たりのフロープ検査時間を従来の1/8に短縮でき、また、回路の1辺で検査をする場合には、例えば、同時検査回路数が16個の時には、半導体ウエハ1枚当たりのフロープ検査時間を従来の1/16に短縮できるため、検査にかかるコストを大幅に低減できると言う効果がある。

【0017】また、本発明の半導体集積回路装置において、上記のフロープ検査用パッドを配置した回路の1辺又は対向する2辺まで他の辺のボンディング用パッドからの接続用配線を延長する時、当該接続用配線は上記ボンディング用パッドの外側と上記フロープ検査用パッドの外側とを導く配線経路とすることによって、入出力パッド領域や内部接続領域へのレイアウト的な影響を与えることなくして配線することができる。一方、ボンディング用パッドの内側とフロープ検査用パッドの内側を導く配線経路とした場合には、対向する辺までへの配線長を短くできると言う効果が得られる。

【0018】また、本発明の半導体集積回路装置において、上記のフロープ検査用パッドを配置した回路の1辺又は対向する2辺まで他の辺のボンディング用パッドからの接続用配線を延長する時、当該接続用配線を互いに等しい長さに決定することによって、当該配線図での電気的な特性のパラッキを小さくできると言う効果が得られる。

【0019】また、本発明の半導体集積回路装置におい

[첨부그림 10]

て、回路の1辺又は対向する2辺にボンディング用パッドとプローブ検査用パッドとが併設される時、上記プローブ検査用パッドと上記の接続用配線をスクライプ領域内に配置し、また、上記プローブ検査用パッドを上記ボンディング用パッドと互いに同列又は千鳥配列関係となるように配置して、プローブ検査終了後に上記のスクライプ領域で回路が切断された時に、上記プローブ検査用パッドと上記接続用配線とが回路から取り除かれるようにすることによって、切断(スクライプ)後の半導体集積回路装置中では上記プローブ検査用パッドと上記接続用配線とが残らないので、後工程における個別検査での電気的な特性測定には何ら影響を及ぼすことがなくならずとも防塵も得られる。

【0100】また、本発明の半導体集積回路装置において、上記のプローブ検査用パッドとそれに対応するボンディング用パッド間を絶縁上保護膜用配線を単一又は複数の配線層内に設けて、当該配線層又は当該配線層間にGND線又はGND層を挿入配置することによって、隣り合う配線同士間で起こりうる障害(例えば、クロストーク等)を防止する効果を得られる。

【0101】さらに、本発明の半導体集積回路装置において、上記プローブ検査用パッドを配置した回路の1辺又は対向する2辺までボンディング用パッドからの接続用配線が延長される時、当該プローブ検査用パッドの近傍には静電破壊防止のための素子を配置することによって、上記ボンディング用パッド間の入出力パツファに相えられた静電破壊防止素子と併せて、静電気等により発生する高電圧による入出力パツファを含めた内部回路の破壊を防止できるとする効果を得られる。

【図1】本発明の第1の実施例になる半導体集積回路装置の構成例を示す図である。

【図2】本発明の第1の実施例になる半導体集積回路装置におけるプローブ検査時の回路の上下2辺に配置されたプローブ検査用パッドとボンディング用パッドとに対するプローブ針の針当ての様子を示す図である。

【図3】本発明の第1の実施例になる半導体集積回路装置における同時複数単位での回路のプローブ検査時の半導体ウエハ上でのプローブ針の針当ての様子を示す図である。

【図4】本発明の第1の実施例になる半導体集積回路装置におけるワイヤボンディングの様子を示す図である。

【図5】本発明の第1の実施例になる半導体集積回路装置において、プローブ検査用パッドとボンディング用パッドとを絶縁上保護膜用配線を等長配線化した場合の構成例を示す図である。

【図6】本発明の第1の実施例になる半導体集積回路装置において、パッド間の接続用配線をスクライプ領域内に設けた場合の構成例を示す図である。

【図7】本発明の第1の実施例になる半導体集積回路装置において、プローブ検査用パッドとパッド間接続用配線とをスクライプ領域内に配置した場合の構成例を示す図である。

【図8】本発明の第1の実施例になる半導体集積回路装置において、プローブ検査用パッドとパッド間接続用配線とをスクライプ領域内に配置した場合におけるプローブ検査に際してのプローブ針の針当ての様子を示す図である。

【図9】本発明の第2の実施例になる半導体集積回路装置におけるプローブ検査用パッドとその接続用配線との配置関係を示す図である。

【図10】本発明の第2の実施例になる半導体集積回路装置におけるプローブ検査時の回路の上側1辺に配置されたプローブ検査用パッドとボンディング用パッドとに対するプローブ針の針当ての様子を示す図である。

【図11】本発明の第2の実施例になる半導体集積回路装置の半導体ウエハでの同時複数単位での検査時の様子を示す図である。

【図12】本発明の第2の実施例になる半導体集積回路装置において、スクライプ領域内にパッド間接続用配線を設けた場合のフォトマスクとTEGとの様子を示す図である。

【図13】本発明の第2の実施例になる半導体集積回路装置において、パッド間接続用配線(信号線)間にGND線を挿入配置した場合の構成例を示す図である。

【図14】本発明の第2の実施例になる半導体集積回路装置において、パッド間接続用配線(信号線)間にGND線を挿入配置した場合の構成例を示す図である。

【図15】本発明の第2の実施例になる半導体集積回路装置において、プローブ検査用パッドの近傍に静電破壊防止素子を挿入配置した場合の構成例を示す図である。した例を示す図である。

【図16】従来構成の半導体集積回路装置におけるボンディング用パッドの配置関係を示す図である。

【図17】従来構成の半導体集積回路装置におけるプローブ検査時のボンディング用パッドへのプローブ針の針当ての様子を示す図である。

【図18】従来構成の半導体集積回路装置におけるワイヤボンディングの様子を示す図である。

【図19】従来構成の半導体集積回路装置におけるプローブ検査時のプローブカードとプローブ針との配置関係を示す図である。

【図20】従来構成の半導体集積回路装置において、同時複数単位での回路のプローブ検査を行う場合のプローブカードとプローブ針との配置関係を示す図である。

【図21】図21(a)は、第3の実施例(第1の構成例)になるパッケージを説明するための図(上面図)であり、図21(b)は、第3の実施例(第1の構成例)

[첨부그림 11]

になるパッケージを説明するための図（断面図）である。

【図22】第3の実施例（第1の構成例）になるパッケージを説明するための図（上面図）である。

【図23】第3の実施例（第1の構成例）になるパッケージの変形例を説明するための図である。

【図24】第3の実施例（第2の構成例）になるパッケージを説明するための図である。

【図25】第3の実施例（第2の構成例）になるパッケージを説明するための図である。

【図26】第3の実施例（第3の構成例）になるパッケージを説明するための図である。

【図27】第3の実施例（第3の構成例）になるパッケージを説明するための図である。

【符号の説明】

1…半導体集積回路装置（チップ）、

2…パッド領域、

3…入出力バッファ領域、

4…入出力バッファ、

4a、4b…静電破壊防止素子、

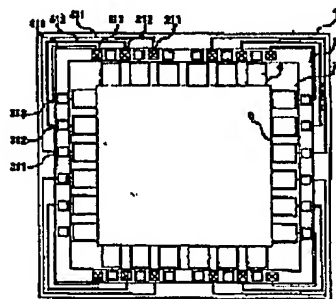
5…内装保護層、

6、611、612、613、614、615、616

…ボンディングワイヤ、

【図1】

図1



7、711、712、713、714、715、716

…インナーリード、

8…プローブ針、

9…パッド、

10…半導体ウエハ

11x、11y…スクレイブ領域、

12…TEG、

13…フォトリソマスク境界、

19a、19b、20a、20b、20c…プローブカード、

40…入力素子、

200、211、212、213、225…プローブ検

査用パッド、

300、311、312、313、314、315、3

16、324、325…ボンディング用パッド、

400、411、412、413、451、452、4

53、461、462、

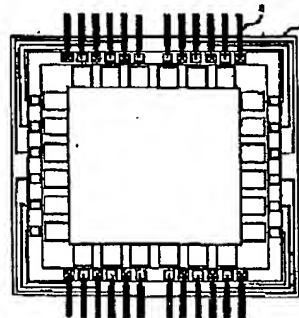
463、471、472、473、491、492、4

93、495…パッド間接続用配線（信号線）、

411g、412g、413g…配線（GND線）、

【図2】

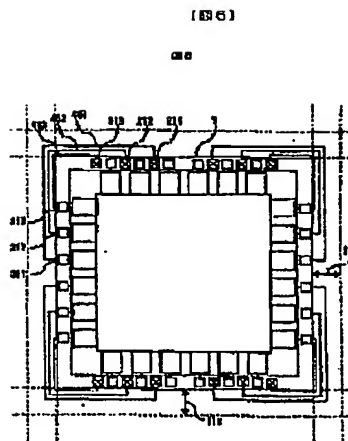
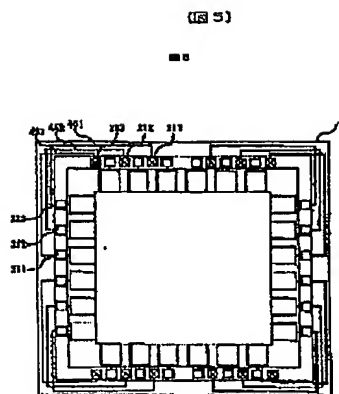
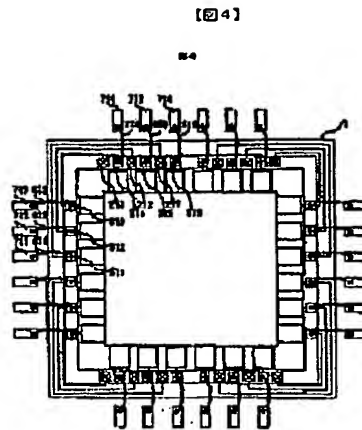
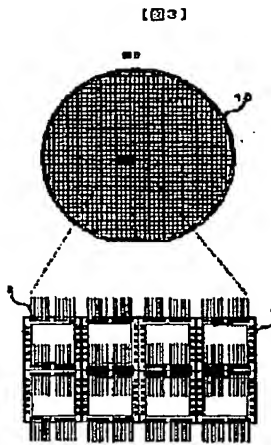
図2



18-11

18-11

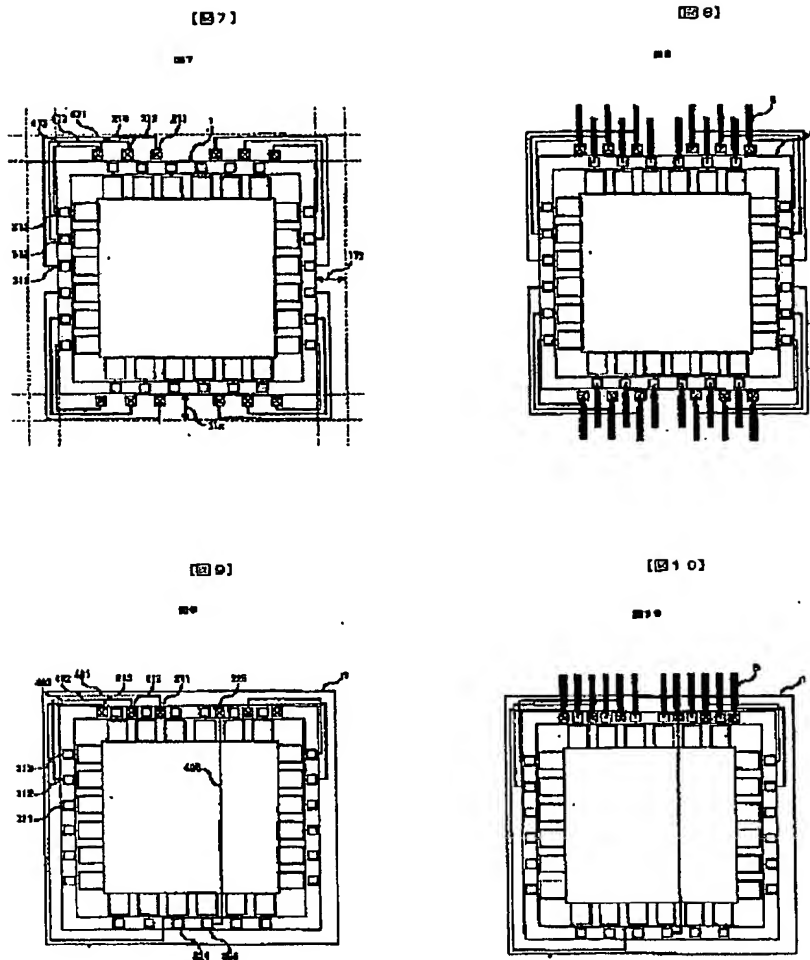
[첨부그림 12]



18-12

18-12

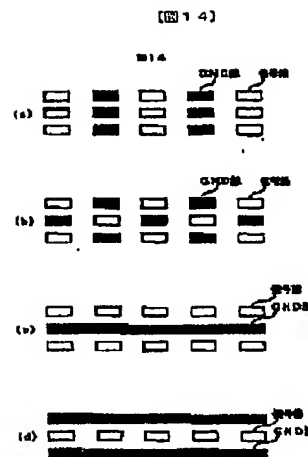
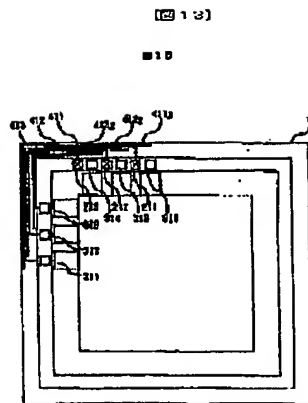
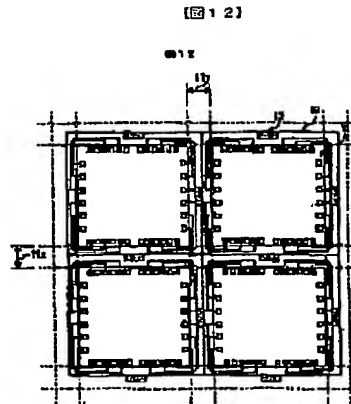
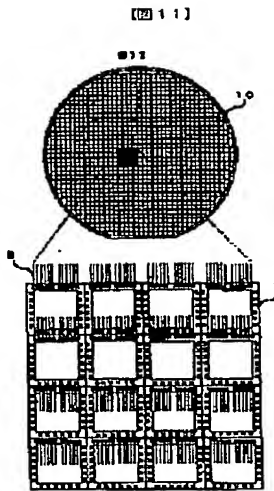
[첨부그림 13]



18-13

18-13

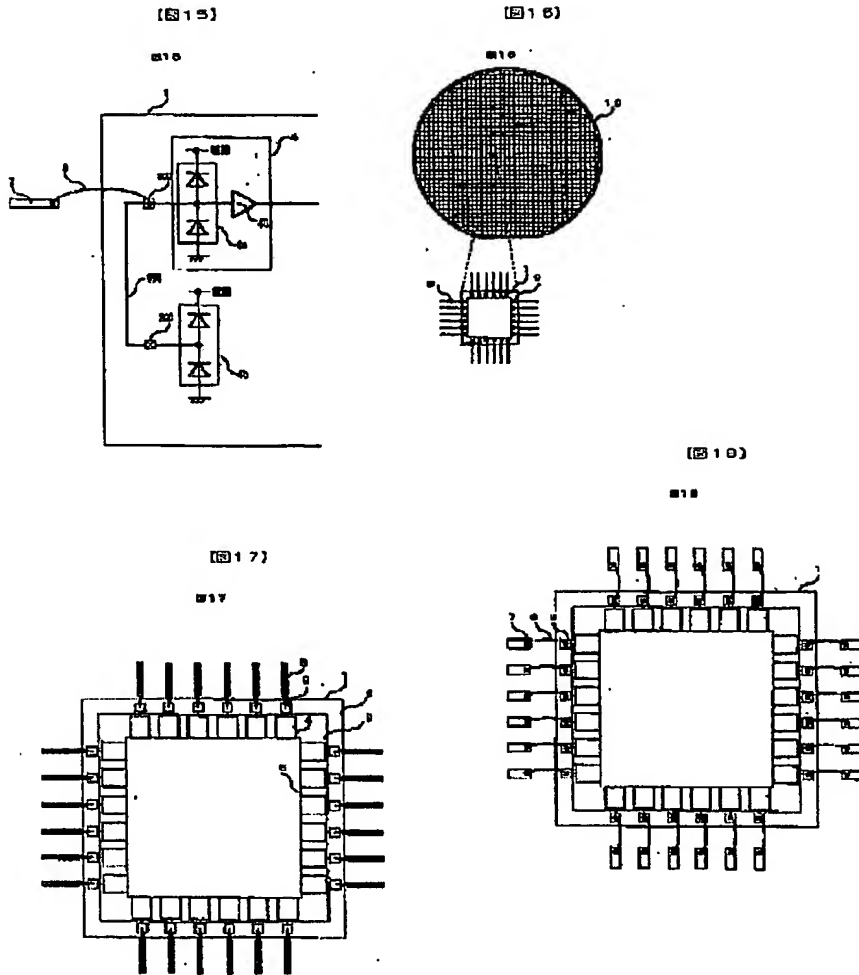
[첨부그림 14]



18-14

18-14

[첨부그림 15]



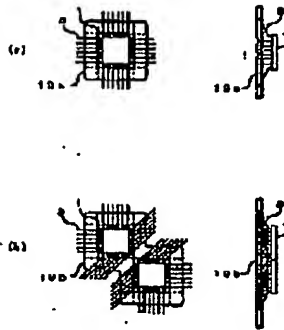
18-15

18-15

[첨부그림 16]

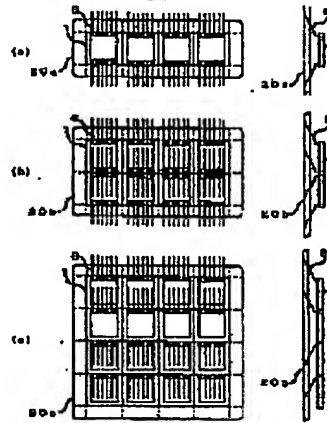
[圖 19]

圖 19



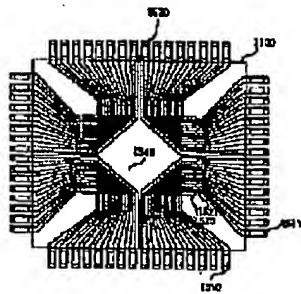
[圖 20]

圖 20



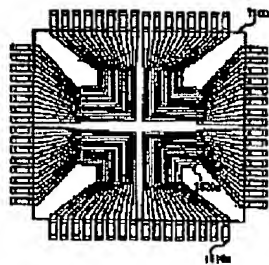
[圖 22]

圖 22



[圖 23]

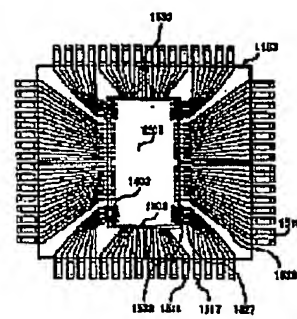
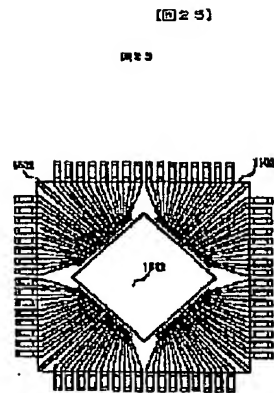
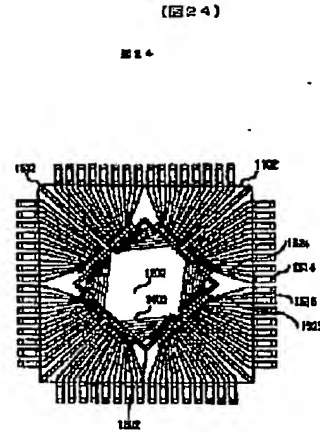
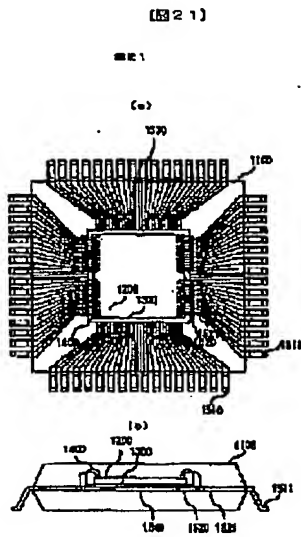
圖 23



18-16

18-16

[첨부그림 17]



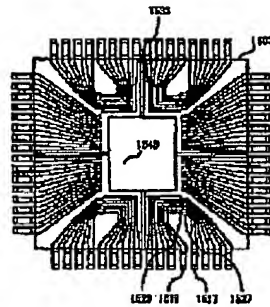
16-17

18-17

[첨부그림 18]

【図 27】

図 27



フロントページの続き

(72)発明者 廖 頌 和文
東京都国分寺市東恋ヶ丘一丁目290番地
株式会社日立製作所中央研究所内

(72)発明者 足立 寛之
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 岡元 正男
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 小笠原 利生

東京都小平市上水本町五丁目22番1号 株
式会社日立製作所エル・エス・アイ・システム
ズ内

(72)発明者 水野 裕太
東京都小平市上水本町五丁目22番1号 株
式会社日立製作所エル・エス・アイ・システム
ズ内

Fターム(参考) 26122 HA01 AB00 AF06 AL25
4M106 AA01 AD03 DD09
5F023 UU01 VV05 WW07 YY12 ZZ09
ZZ09

18-18

18-18

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.